

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**PATENT ABSTRACTS OF JAPAN**(11)Publication number : **11-176758**(43)Date of publication of application : **02.07.1999**

(51)Int.Cl.

**H01L 21/205****H01L 21/20****H01L 33/00**(21)Application number : **10-031982**(71)Applicant : **TOYODA GOSEI CO LTD**(22)Date of filing : **28.01.1998**(72)Inventor : **SENDAI TOSHIAKI****SHIBATA NAOKI****ITO JUN****NOIRI SHIZUYO**

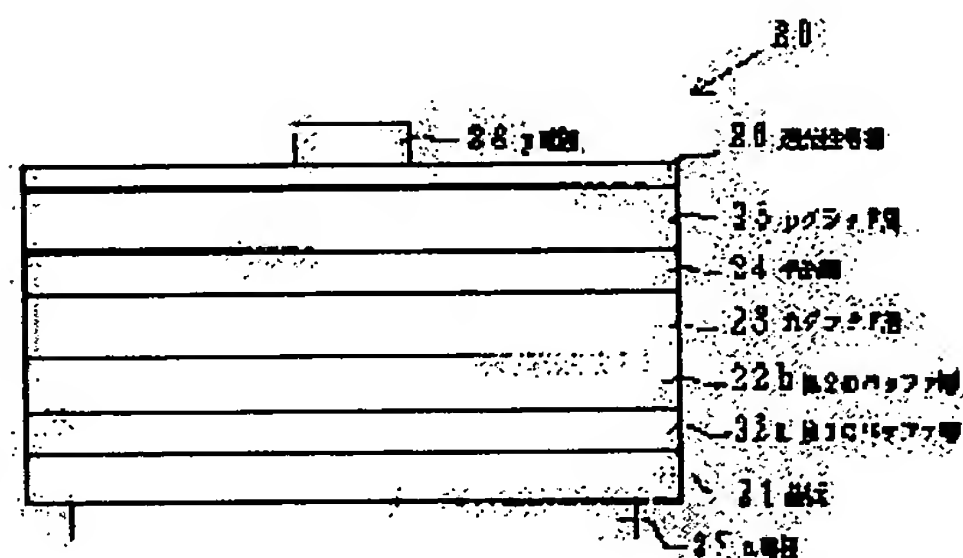
(30)Priority

Priority number : **09293463** Priority date : **10.10.1997** Priority country : **JP****(54) SEMICONDUCTOR ELEMENT**

(57)Abstract:

**PROBLEM TO BE SOLVED:** To form a GaN semiconductor layer on a silicon board readily, by constituting a buffer layer of a first Ti buffer layer formed on a board and a second Zr buffer layer formed on the second buffer layer.

**SOLUTION:** A board 21, a Ti lump and a Zr lump are mounted inside a chamber of an EB deposition device. A chamber is evacuated by using a vacuum device. Thereafter, nitrogen gas is fed and filled in a chamber. A chamber is evacuated again and the board 21 is kept at about 150°C by using a lamp heater. Then, Ti is deposited in a (111) surface of the board 21 by an electron beam method and a first buffer layer 22a is obtained. Successively, Zr is deposited on the first buffer layer 22a by an electron beam method keeping vacuum state and a second buffer layer 22b is obtained.

**LEGAL STATUS**

[Date of request for examination]

**06.08.2001**

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the

examiner's decision of rejection or application  
converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of  
rejection]  
[Date of requesting appeal against examiner's  
decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平11-176758

(43) 公開日 平成11年(1999) 7 月 2 日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 21/205  
21/20  
33/00

H 0 1 L 21/205  
21/20  
33/00

C

審査請求 未請求 請求項の数4 F D (全 9 頁)

(21) 出願番号 特願平10-31982

(22) 出願日 平成10年(1998) 1 月28日

(31) 優先権主張番号 特願平9-293463

(32) 優先日 平 9 (1997) 10 月10日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000241463

豊田合成株式会社

愛知県西春日井郡春日町大字落合字長畑 1  
番地

(72) 発明者 千代 敏明

愛知県西春日井郡春日町大字落合字長畑 1  
番地 豊田合成株式会社内

(72) 発明者 柴田 直樹

愛知県西春日井郡春日町大字落合字長畑 1  
番地 豊田合成株式会社内

(74) 代理人 弁理士 小西 富雅

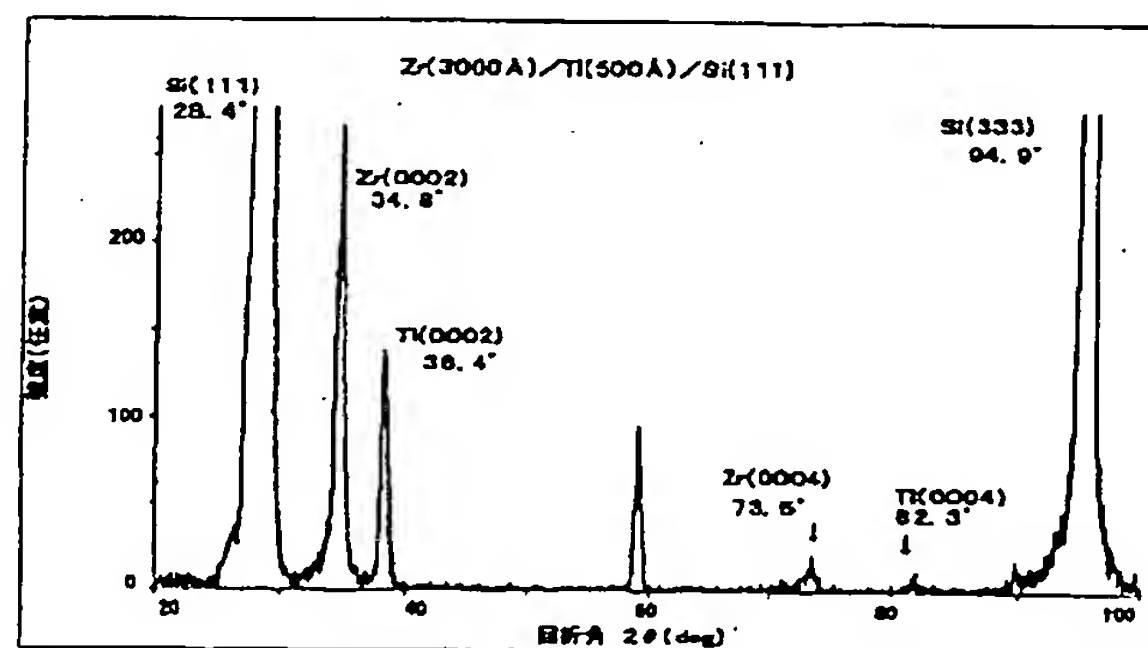
最終頁に続く

(54) 【発明の名称】 半導体素子

(57) 【要約】

【課題】 シリコン製の基板の上に G a N 系の半導体層が容易に形成できる新規な構成の半導体発光素子を提供する。

【解決手段】 シリコン製の基板と G a N 系の半導体層との間に T i 製の第 1 のバッファ層及び Z r 製の第 2 のバッファ層を設ける。これらバッファ層は所定の膜厚を持ち、所定の温度に昇温されたシリコン基板の ( 1 1 1 ) 面に形成され、後にアニールされる。



## 【特許請求の範囲】

【請求項1】 シリコン製の基板と、  
Ga N系の半導体層と、  
前記基板と前記半導体層との間に設けられるバッファ層  
であって、該バッファ層は前記基板の上に形成されるT  
i製の第1のバッファ層と、該第1のバッファ層の上に  
形成されるZr製の第2のバッファ層とからなるバッ  
ファ層と、を備えてなる半導体素子。

【請求項2】 前記基板の(111)面上に前記バッ  
ファ層が形成される、ことを特徴とする請求項1に記載の  
半導体素子。

【請求項3】 シリコン製の基板と、  
Ga N系の半導体層と、  
前記基板と前記半導体層との間に設けられるバッファ層  
であって、該バッファ層は前記基板の上に形成されるT  
i製の第1のバッファ層と、該第1のバッファ層の上に  
形成されるZr製の第2のバッファ層とからなるバッ  
ファ層と、から構成される積層体。

【請求項4】 前記基板の(111)面上に前記バッ  
ファ層が形成される、ことを特徴とする請求項3に記載の  
積層体。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明はGa N系の半導体  
層を含む半導体素子に関する。

## 【0002】

【従来の技術】Ga N系の半導体は例えば青色発光素子  
として利用されることが知られている。かかる発光素子  
では、基板には一般的にサファイアが用いられ、例えば  
AlN製の層を介してGa N系の半導体層が積層されて  
発光素子構造が形成される。ここにAlN製の層はGa  
N系の半導体層を成長させるときの核発生を与える役目  
をしていると考えられる。

【0003】このような素子において、サファイア基板  
を他の材料に置換することが望まれている。サファイア  
基板は高価であるからである。更には、サファイア基板  
は絶縁体であるため同一面側に電極を形成する必要があ  
り半導体層の一部をエッチングしなければならず、それ  
に応じてボンディングの工程も2倍となる。また、同一  
面側にn、p両電極を形成するため、素子サイズの小型  
化にも制限があった。加えて、チャージアップの問題も  
あった。

【0004】このようなサファイア基板の不具合を回避  
するため、シリコン基板上にGa N系の半導体層を成長  
させる技術が検討されている。特開平8-310900  
号公報、特開平9-92882号公報等を参照されたい。

## 【0005】

【発明が解決しようとする課題】しかしながら、本発明  
者らの検討によれば、シリコン基板の上にGa N系の半

導体層を成長させることは非常に困難であった。その原  
因の一つに、シリコンとGa N系の半導体の熱膨張率の  
差がある。シリコンの線膨張係数が $4.7 \times 10^{-6}/K$   
であるのに対しGa Nの線膨張係数は $5.59 \times 10^{-6}/K$   
であり、前者が後者より大きい。従って、Ga  
N系の半導体を成長させる際に加熱をすると、図1に示  
す如く、シリコン基板1が伸長されGa N系の半導体層  
3側が圧縮するように素子に変形する。このとき、Ga  
N系の半導体層3内に引っ張り応力が生じ、その結果ク  
ラック5の発生するおそれがある。また、クラック5が  
生じないまでも格子に歪みが生じる。従って、Ga N系  
の半導体素子とその本来の機能を発揮できなくなる。

【0006】そこで、この発明はシリコン基板の上にG  
a N系の半導体層が容易に形成できる新規な構成の半導  
体発光素子を提供することを目的とする。

## 【0007】

【課題を解決するための手段】本発明者のうちの一人は  
上記の目的を達成すべく鋭意検討をした結果、特願平9  
-293463において、シリコン基板とGa N系の半  
導体層との間にCr、Hf、Nb、Ta、V、Ti、Z  
rから選ばれる1種又は2種以上の金属からなる1又は  
2以上のバッファ層を介在させることに想到した。

【0008】シリコン製の基板とGa N系の半導体層と  
の間に上記金属製のバッファ層を介在させると、図2に  
示すように、バッファ層12がGa N系の半導体層13  
と基板11との熱膨張係数の差により生じた応力を緩衝  
するので、Ga N系の半導体層13内の引っ張り応力が  
小さくなる。従って、そこにクラックが発生することは  
ほとんどなくなり、格子歪みも緩和される。よって、G  
a N系の半導体層13はその本来の機能を設計どおりに  
発揮できることとなる。

【0009】シリコン製の基板及び金属製のバッファ層  
はともに導電性である。これにより、基板に電極を接続  
し、基板側よりGa N系の半導体層に通電することが可  
能になる。従って、Ga N系の半導体層で素子を構成す  
るとき必要とされた当該半導体層に対する複雑なエッチ  
ングが不要になる。図3の例で言えば、nクラッド層が  
バッファ層及び基板を介して外部に電氣的に接続可能と  
なる。一方、サファイア基板の場合は、これが絶縁性で  
あったため発光層及びpクラッド層をエッチングしてn  
クラッド層を露出し、これを外部と電氣的に接続させる  
必要があった。基板及びバッファ層を介して半導体層へ  
通電可能となったので、外部電源に対するボンディング  
も容易になる。また、半導体層の上下で電極形成が可能  
となるので素子を小型化することができる。更には、ア  
ースをとればチャージアップの問題も容易に解決され  
る。

【0010】バッファ層が金属で形成されていると、G  
a N系の半導体層が発光素子構造若しくは受光素子構造  
を採る場合、このバッファ層自体が反射層の役目をす



る。従って、従来例の透明なサファイア基板を用いた発光素子や受光素子で必要とされていた別個の反射層の形成が不要となる。また、GaAsのように光を吸収する材料で基板を形成した場合における当該基板の除去作業が不要になる。

【0011】本発明者らはZrとTiに注目して更に検討を進めた。ZrとTiには下記の利点があるからである。

① Ti及びZrはその融点が1000℃以上であるので、GaN系の半導体層の製造過程で加えられる温度によっても安定である。

② Ti及びZrはその線膨張係数が $10 \times 10^{-6}/K$ 以下であるので、シリコン材料のそれに近く、かつ③ Ti及びZrの弾性率が $15 \times 10^{10} N/m^2$ 以下と比較的柔らかいので、シリコンとGaN系の半導体との線膨張係数の差により生じる内部応力がバッファ層で緩和

	融点	線膨張係数
Ti	1680℃	$8.9 \times 10^{-6}/K$
Zr	1850℃	$5.0 \times 10^{-6}/K$

【0012】上記検討の結果、下記の発明に想到した。シリコン製の基板と、GaN系の半導体層と、前記基板と前記半導体層との間に設けられるバッファ層であって、該バッファ層は前記基板の上に形成されるTi製の第1のバッファ層と、該第1のバッファ層の上に形成されるZr製の第2のバッファ層とからなるバッファ層と、を備えてなる半導体素子。

【0013】このようにシリコン製の基板の上にTiの層とZrの層を順次形成すると、Zrの層はc軸配向しやすくなることがわかった。即ち、シリコン基板の上に直接Zrの層を形成する場合と比べて、シリコン基板の上にTiの層を介して成長されたZrの結晶は<0001>方向に成長する傾向が高くなる。これはTiが高い配向性を持って成膜できることに起因する。なお、GaN系の半導体層は通常c軸配向であるので、その下地となるバッファ層もその少なくとも表面（半導体層と接する面）においてc軸配向であることが好ましいことはいうまでもない。

【0014】ここにTi製の第1のバッファ層の膜厚は0.01～10μmとすることが好ましい。0.01μm未満であるとc軸配向性が弱いからであり、10μmを越えると表面ムラがおき、それぞれ好ましくない。更に好ましくは0.01～1μmである。更に更に好ましくは0.03～0.3μmである。Zr製の第2のバッファ層の膜厚は0.1μm以上とすることが好ましい。0.1μm未満であるとc軸配向性が弱い。更に好ましくは0.2～0.8μmである。更に更に好ましくは0.2～0.5μmである。

【0015】なお、基板—第1のバッファ層—第2のバッファ層—半導体層の各層間に、本発明の作用効果を阻害しない範囲で、他の層を設けることができる。

される。

④ Zrの窒化物生成エネルギーが負であるので、バッファ層とGaN系の半導体との間に好ましい密着力が得られる。

⑤ ZrとGaN系の半導体層との格子定数の差が2%以下であるので、バッファ層とGaN系の半導体層となじみがよくなり、GaN系の半導体層の格子歪みが小さくなる。

⑥ Tiはシリサイドを形成できるので、バッファ層とシリコン基板との間に好ましい密着力が得られる。

⑦ Zrの結晶構造はGaN系の半導体と同じ六方晶であるので、バッファ層とGaN系の半導体層となじみがよくなり、GaN系の半導体層の格子歪みが小さくなる。

なお、TiとZrの具体的な特性は次の通りである。

弾性率	格子定数
$11.42 \times 10^{10} N/m^2$	2.950
$9.76 \times 10^{10} N/m^2$	3.231

【0016】更に本発明者らの検討によれば、Ti製の第1のバッファ層をシリコン基板の(111)面上に形成すると、Zr製の第2のバッファ層のc軸配向がより促進されることがわかった。

【0017】更に本発明者らの検討によれば、シリコン基板を昇温した後にTi製の第1のバッファ層及びZr製の第2のバッファ層を成長させることが好ましい。シリコン基板を昇温した状態でバッファ層を形成すると、Zrがc軸配向しやすいことがわかったからである。理由はZrが基板に到達したときに格子点に移動しやすいからと考えられる。バッファ層を形成する際のシリコン基板の温度は100～250℃とすることが好ましく、100℃未満であると、c軸配向したZr製のバッファ層を得難く、また250℃を越えてシリコン基板を昇温する必要はない。また、バッファ層を形成する際のシリコン基板の温度は130～200℃とすることが更に好ましい。シリコン基板を130℃以上とすると、シリコン基板に対するバッファ層の密着力が十分となり、後にGaN系の半導体層を形成するためにウエハを1000℃近くまで加熱しても、シリコン基板からバッファ層が剥離若しくは浮き上がらなくなる。バッファ層を形成する際のシリコン基板の温度は、更に更に好ましくは、150～200℃である。

【0018】バッファ層の形成の方法は特に限定されず、基板の材料やバッファ層自身の材料の特性に応じて適宜選択される。例えば、既述の金属でバッファ層を形成する場合はプラズマCVD、熱CVD、光CVD等のCVD (Chemical Vapour Deposition)、スパッタ、蒸着等の(Physical Vapour Deposition)等の方法を採用できる。

【0019】ただし、バッファ層を形成する際にはその雰囲気を実質的に酸素が存在しないものとする。バッファ層を形成する際に酸素が存在すると、その形成材料であるTi及びZrと酸素とが反応するおそれがあるからである。

層	組成	ドーパント	(膜厚)
pクラッド層25	p-GaN	Mg	(0.3 $\mu$ m)
発光層24	超格子構造		
量子井戸層	In <sub>0.15</sub> Ga <sub>0.85</sub> N		(3.5nm)
バリア層	GaN		(3.5nm)
量子井戸層とバリア層の繰り返し数：1～10			
nクラッド層23	n-GaN	Si	(4 $\mu$ m)
第2のバッファ層22b	Zr		(0.3 $\mu$ m)
第1のバッファ層22a	Ti		(0.05 $\mu$ m)
基板21	Si	<111>	(300 $\mu$ m)

【0022】nクラッド層23は発光層24側の低電子濃度n層と第2のバッファ層22b側の高電子濃度n<sup>+</sup>層とからなる2層構造とすることができる。発光層24は超格子構造のものに限定されず、シングルヘテロ型、ダブルヘテロ型及びホモ接合型のものなどを用いることができる。発光層24とpクラッド層25との間にマグネシウム等のアクセプタをドーパしたバンドギャップの広いAl<sub>x</sub>In<sub>y</sub>Ga<sub>1-x-y</sub>N (X=0, Y=0, X=Y=0を含む)層を介在させることができる。これは発光層24中に注入された電子がpクラッド層25に拡散するのを防止するためである。pクラッド層25を発光層24側の低ホール濃度p層と電極26側の高ホール濃度p<sup>+</sup>層とからなる2層構造とすることができる。

【0023】上記において、第1のバッファ層22aは次のようにして基板21の(111)面に形成される。まず、工業的に汎用されるEB蒸着装置のチャンバ内へ基板21、Ti塊及びZr塊を装着する。そしてチャンバ内を当該装置に付設の真空装置を用いて1×10<sup>-3</sup>Torr程度まで真空引きする。その後、チャンバ内へ窒素ガスを送り込み充填させる。このような窒素ガスパージを3回繰り返す。その後、チャンバ内を8×10<sup>-7</sup>Torr程度まで再度真空引きするとともに、基板21をランプヒータでほぼ150℃に維持する。そして、電子ビーム法によりTiを基板の(111)面に蒸着させ、膜厚が約0.05 $\mu$ mの第1のバッファ層22aを得る。蒸着の速度は3～5オングストローム/秒とする。続いて、8×10<sup>-7</sup>Torrの真空状態を維持した状態で、電子ビーム法によりZrを第1のバッファ層22aの上に蒸着させ、膜厚が約0.3 $\mu$ mの第2のバッファ層22bを得る。蒸着の速度は3～5オングストローム/秒とする。

【0024】上記において、窒素ガスによるパージはシリコン基板21へTi及びZrを蒸着させるときにTiとZrがチャンバ内の残留酸素と反応してTiO<sub>x</sub>及びZrO<sub>x</sub>を形成することを防止するためである。従っ

【0020】

【発明の実施の形態】以下、この発明の実施の形態を説明する。以下に説明する形態の半導体素子は発光ダイオード20であり、その構成を図3に示す。

【0021】各半導体層のスペックは次の通りである。

て、窒素ガス以外の不活性ガスを用いることもできる。また、Ti及びZrと酸素との反応を防止できる程度にまでチャンバ内を真空引きできる場合は、かかる窒素ガスによるパージは不要である。しかしながら、本発明者らの検討によれば、現在工業的に汎用される蒸着装置に付設の真空装置の能力(真空度～10<sup>-7</sup>Torr)では窒素ガスによるパージが不可欠であった。

【0025】その後、基板21を加熱装置にセットし、他のチャンバへ装着する。そして、チャンバ内を1.5×10<sup>-5</sup>Torrまで真空引きする。そして、加熱装置を作動させて当該真空の雰囲気を維持したまま、第1のバッファ層22及び第2のバッファ層23をほぼ600℃まで加熱し5分間維持する(アニールする)。その後、放冷する。

【0026】バッファ層の上の各GaN系の半導体層は周知の有機金属化合物気相成長法(以下、「MOCVD法」という。)により形成される。この成長法においては、アンモニアガスと3族元素のアルキル化合物ガス、例えばトリメチルガリウム(TMg)、トリメチルアルミニウム(TMA)やトリメチルインジウム(TMI)とを適当な温度に加熱された基板上に供給して熱分解反応させ、もって所望の結晶を基板の上に成長させる。なお、GaN系半導体層は分子線結晶成長法(MBE法)によっても同様のものが得られる。

【0027】GaN系の半導体とはIII族窒化物半導体であって、一般的にはAl<sub>x</sub>In<sub>y</sub>Ga<sub>1-x-y</sub>N (X=0, Y=0, X=Y=0を含む)で表される。発光素子及び受光素子では、周知のように、発光層が異なる導電型の半導体層(クラッド層)で挟まれる構成であり、発光層には超格子構造やダブルヘテロ構造等が採用される。

【0028】このMOCVD法を実行する際の熱により、図4に示すように、第1のバッファ層22aの材料(Ti)が基板21の材料(Si)と反応してシリサイド(TiSi<sub>2</sub>)が形成される。また、第2のバッファ

層22bの材料(Zr)はGa<sub>2</sub>Nと同じ結晶構造(六方晶)を持ちかつ格子定数もGa<sub>2</sub>Nに近い。よって、クラッド層23と第2のバッファ層22bとの間には2つの層が融合してZrN層が形成されていることが予想される。

【0029】透光性電極26は金を含む薄膜であり、pクラッド層25の上面の実質的な全面を覆って積層される。p電極28も金を含む材料で構成されており、蒸着により透光性電極26の上に形成される。n電極27は、蒸着により基板21へ取り付けられる。

【0030】なお、本発明が適用される素子は上記の発光ダイオードに限定されるものではなく、受光ダイオード、レーザダイオード等の光素子の他、FET構造の電子デバイスにも適用できる。また、これらの素子の中間体として、シリコン製の基板、Ti製の第1のバッファ層、Zr製の第2のバッファ層及びGa<sub>2</sub>N系の半導体層を順次積層してなる積層体にも本発明は適用されるものである。なお、基板にはSiの他にGaP、GaAs及びInP等でも同様の結果が得られる。

【0031】

【試験例】以下、この発明の効果を確認するための試験例について説明する。

【0032】(試験1) この試験はシリコン基板の上にTi製の第1のバッファ層を介してZr製の第2のバッファ層を成長させることによる効果を確認するものである。試験例1及び試験例2ともにシリコン基板の(100)面を準備し、その上にバッファ層を形成した。試験例1ではシリコン基板の上にTi製の第1のバッファ層を設け、続いて、第1のバッファ層の上にZr製の第2のバッファ層を設けた。試験例2ではシリコン基板の上に直接Zr製のバッファ層を設けた。試験例1及び試験例2における各バッファ層の形成方法は既述の実施の形態で説明した方法と同一である。結果はフィリップス社製のX線解析装置(型番:X-per<sub>1</sub>)により $2\theta = (20 \sim 100)^\circ$ の範囲で得られた回折パターンである(他の試験例においても同じ。)

【0033】図5及び図6はそれぞれ試験例1及び試験例2の回折パターンである。図5及び図6の結果から、シリコン基板の上にTi製の第1のバッファ層を介してZr製の第2のバッファ層を成長させた方が、シリコン基板の上にZr製のバッファ層を直接成長させた場合と比較してZr製の第2のバッファ層のc軸配向の傾向が高いことがわかる。

【0034】(試験2) この試験は試験1で用いたシリコン基板の面と異なる面に各バッファ層を形成した場合

の、Ti製の第1のバッファ層を介してZr製の第2のバッファ層を成長させることによる効果を確認するものである。試験1ではシリコン基板の(100)面の上に各バッファ層を形成したが、試験2ではシリコン基板の(111)面を準備し、その上に各バッファ層を形成した。試験1における試験例1と同様、試験例3ではシリコン基板の上にTi製の第1のバッファ層を設け、続いて、第1のバッファ層の上にZr製の第2のバッファ層を設けた。試験例4では試験1における試験例2と同様、シリコン基板の上に直接Zr製のバッファ層を設けた。その他の条件は試験1と同一である。

【0035】図7及び図8はそれぞれ試験例3及び試験例4の回折パターンである。図7及び図8の結果から、シリコン基板の(111)面の上にバッファ層を形成させた場合においてもシリコン基板の(100)面の上にバッファ層を成長させた場合と同様に、シリコン基板の上にTi製の第1のバッファ層を介してZr製の第2のバッファ層を成長させた方がZr製の第2のバッファ層のc軸配向の傾向が高いことがわかる。

【0036】(試験3) この試験はシリコン基板の(111)面と(100)面の上にそれぞれ各バッファ層を形成した場合の、Zr製のバッファ層のc軸配向度を比較するものである。試験例5ではシリコン基板の(111)面を準備し、その上にTi製の第1のバッファ層を形成し、続いてZr製の第2のバッファ層を形成した。試験例6ではシリコン基板の(111)面の代わりに(100)面を準備して、その他は試験例5と同様に各バッファ層を形成した。その他の各バッファ層の形成方法は既述の実施の形態で説明した方法と同一である。

【0037】図9及び図10はそれぞれ試験例5及び試験例6の回折パターンである。図9及び図10の結果から、シリコン基板の(111)面の上に第1及び第2のバッファ層を形成した方がシリコン基板の(100)面の上に同様に各バッファ層を形成した場合と比較してZr製の第2のバッファ層のc軸配向の傾向が高いことがわかる。

【0038】(試験4) この試験はバッファ層をアニールした場合の本発明の効果を確認するものである。試験4では試験3の試験例5及び試験例6をそれぞれ下記の条件でアニールした。試験例7～試験例10は試験例5をそれぞれ異なる条件でアニールした結果であり、試験例11～試験例14は試験例6をそれぞれ異なる条件でアニールした結果である。

【0039】

	基板面	アニール条件	結果
試験例5	(111)	なし	○
試験例6	(100)	なし	○
試験例7	(111)	400°C/Vac	○
試験例8	(111)	600°C/Vac	○



試験例9	(111)	800°C/Vac	△
試験例10	(111)	800°C/1気圧(N <sub>2</sub> )	○
試験例11	(100)	400°C/Vac	○
試験例12	(100)	600°C/Vac	○
試験例13	(100)	800°C/Vac	△
試験例14	(100)	800°C/1気圧(N <sub>2</sub> )	○

注) Vac: 真空(約 $1.5 \times 10^{-5}$  Torr)

1気圧(N<sub>2</sub>): アニール時のチャンバ内へ1気圧の窒素ガスを充填

○: バッファ層と基板との間に剥離なし

△: バッファ層と基板との間に微少な剥離あり

【0040】上記の試験結果より、800°Cの温度条件でアニールした場合には、バッファ層を形成させるシリコン基板の面に拘わらず、真空の雰囲気下ではバッファ層と基板との間に微少な剥離が生ずることがわかる(試験例9及び13)。これに比較して、チャンバ内に1気圧の窒素を充填した雰囲気下でアニールを行った場合には、800°Cの条件においてもバッファ層と基板の間に剥離は生じず、良好な積層体が得られることがわかる

(試験例10及び14)。この結果、高温でアニールを行う場合には、チャンバ内を1気圧の窒素ガスで充填した雰囲気下で行うのが好ましいことがわかる。

【0041】この発明は上記発明の実施の形態及び実施例の記載に何ら限定されるものではなく、特許請求の範囲を逸脱しない範囲で当業者が想到し得る種々の変形態様を包含する。

【0042】以下、下記の事項を開示する。

(10) シリコン製の基板と、Ga<sub>2</sub>N系の半導体層と、前記基板と前記半導体層との間に設けられるバッファ層であって、該バッファ層は前記基板側のTi製の第1のバッファ層と、前記半導体層側のZr製の第2のバッファ層とを含んでなるバッファ層と、を備えてなる半導体素子。

(11) シリコン製の基板と、Ga<sub>2</sub>N系の半導体層と、前記基板と前記半導体層との間に設けられるバッファ層であって、該バッファ層は前記基板側のTi製の第1のバッファ層と、前記半導体層側のZr製の第2のバッファ層とを含んでなるバッファ層と、から構成される積層体。

【0043】(20) シリコン製の基板を準備し、該基板の上にTi製の第1のバッファ層を形成し、該第1のバッファ層の上にZr製の第2のバッファ層を形成し、該第2のバッファ層の上にGa<sub>2</sub>N系の半導体層を形成する、ことを特徴とする半導体素子の製造方法。

(21) シリコン製の基板を100～250°Cに昇温し、該基板の上にTi製の第1のバッファ層と、該第1のバッファ層の上にZr製の第2のバッファ層を形成し、その後、該第2のバッファ層の上にGa<sub>2</sub>N系の半導体層を形成する、ことを特徴とする半導体素子の製造方法。

(22) (111)面をもつシリコン製の基板を準備

し、該基板の上にTi製の第1のバッファ層を形成し、該第1のバッファ層の上にZr製の第2のバッファ層を形成し、該第2のバッファ層の上にGa<sub>2</sub>N系の半導体層を形成する、ことを特徴とする半導体素子の製造方法。

(23) (111)面をもつシリコン製の基板を準備し、該基板を100～250°Cに昇温し、該基板の上にTi製の第1のバッファ層を形成し、該第1のバッファ層の上にZr製の第2のバッファ層を形成し、該第2のバッファ層の上にGa<sub>2</sub>N系の半導体層を形成する、ことを特徴とする半導体素子の製造方法。

(24) シリコン製の基板を準備し、該基板の上にTi製の第1のバッファ層を形成し、該第1のバッファ層の上にZr製の第2のバッファ層を形成し、該第2のバッファ層の上にGa<sub>2</sub>N系の半導体層を形成する積層体の製造方法。

(25) シリコン製の基板を100～250°Cに昇温し、該基板の上にTi製の第1のバッファ層を形成し、該第1のバッファ層の上にZr製の第2のバッファ層を形成し、該第2のバッファ層の上にGa<sub>2</sub>N系の半導体層を形成する、ことを特徴とする積層体の製造方法。

(26) (111)面をもつシリコン製の基板を準備し、該基板の上にTi製の第1のバッファ層を形成し、該第1のバッファ層の上にZr製の第2のバッファ層を形成し、該第2のバッファ層の上にGa<sub>2</sub>N系の半導体層を形成する、ことを特徴とする積層体の製造方法。

(27) (111)面をもつシリコン製の基板を準備し、該基板を100～250°Cに昇温し、該基板の上にTi製の第1のバッファ層を形成し、該第1のバッファ層の上にZr製の第2のバッファ層を形成し、該第2のバッファ層の上にGa<sub>2</sub>N系の半導体層を形成する、ことを特徴とする積層体の製造方法。

【図面の簡単な説明】

【図1】図1はシリコン製の基板とGa<sub>2</sub>N系の半導体層との熱膨張率の差に起因する素子の反りを説明する図である。

【図2】図2は本発明の概念図であり、シリコン製の基板とGa<sub>2</sub>N系の半導体層との間にバッファ層を介在させたときの応力緩和を示す。

【図3】図3はこの発明の実施の形態の発光ダイオードを示す図である。

【図4】図4は図3における基板、バッファ層及びnクラッド層との拡大図であり、基板-Ti製の第1のバッファ層間及びZr製の第2のバッファ層-GaN間の反応を示す。

【図5】図5は実験例1の回折パターンを示す。

【図6】図6は比較例1の回折パターンを示す。

【図7】図7は実験例2の回折パターンを示す。

【図8】図8は比較例2の回折パターンを示す。

【図9】図9は実験例3の回折パターンを示す。

【図10】図10は比較例3の回折パターンを示す。

【符号の説明】

1、11、21 基板

12、 バッファ層

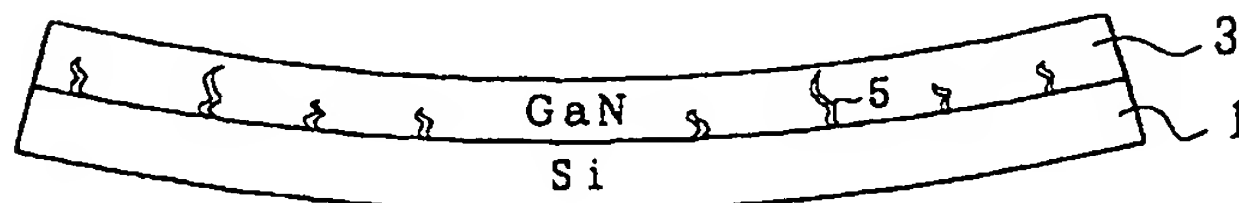
22a Ti製の第1のバッファ層

22b Zr製の第2のバッファ層

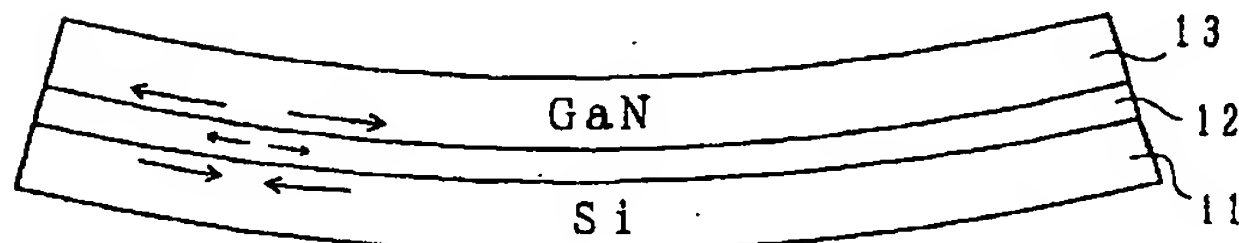
3、13、23、24、25 GaN系の半導体層

20 半導体発光素子

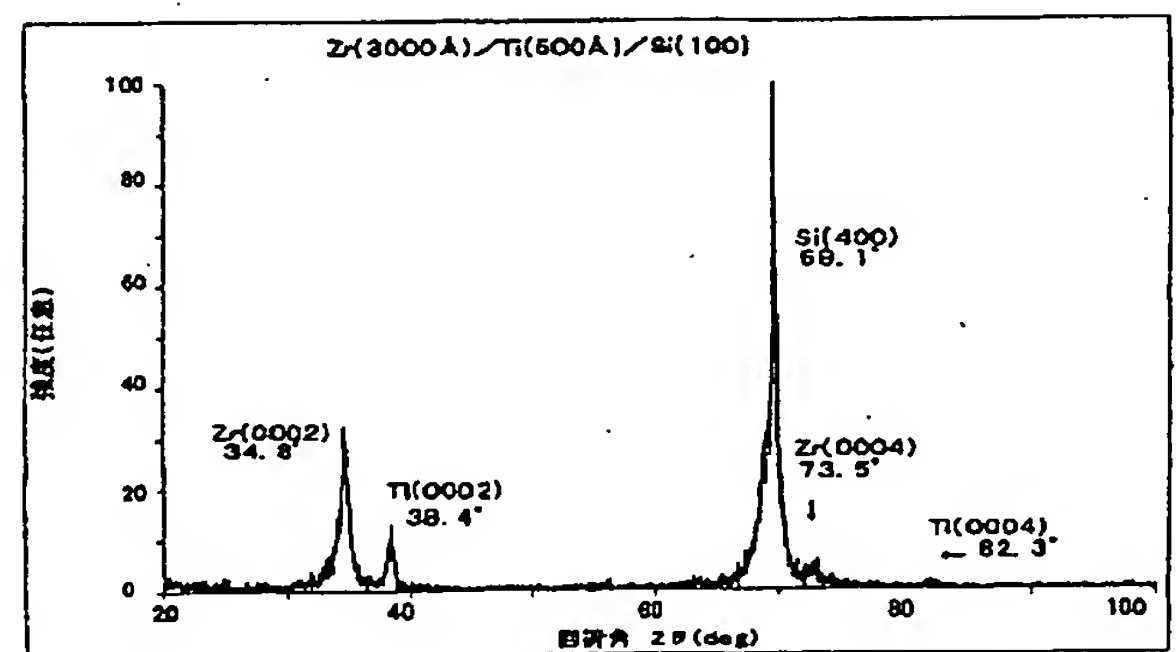
【図1】



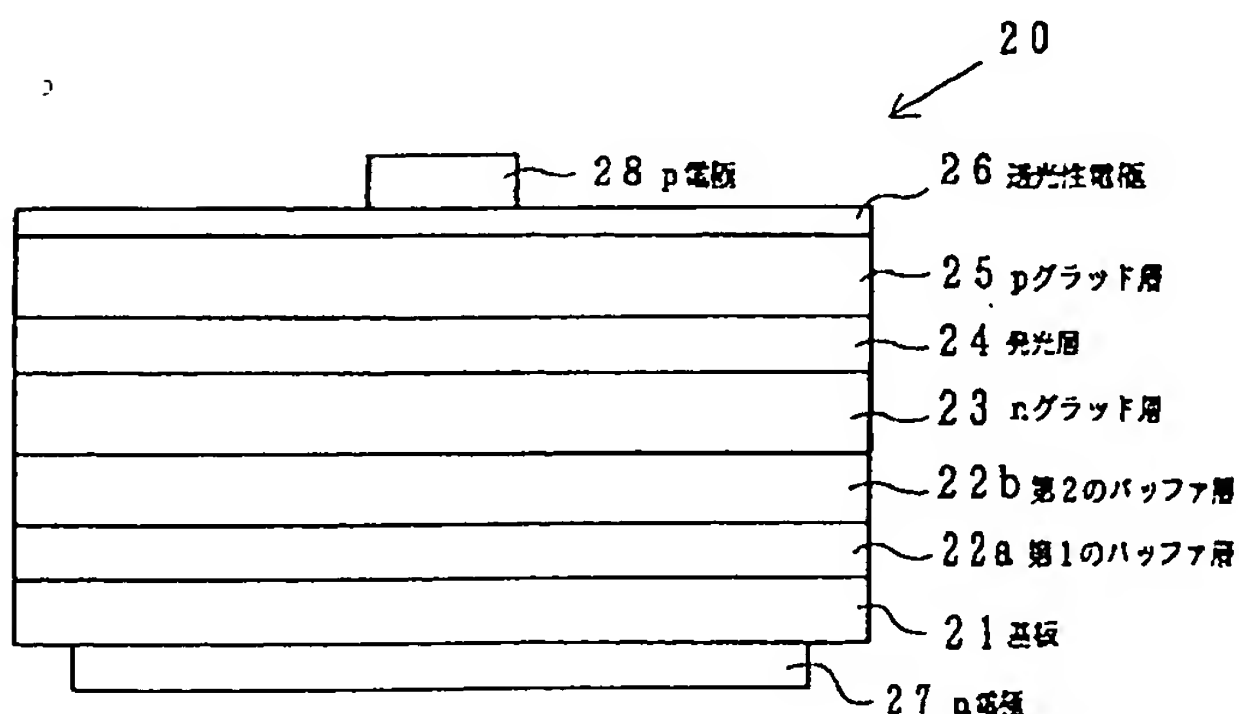
【図2】



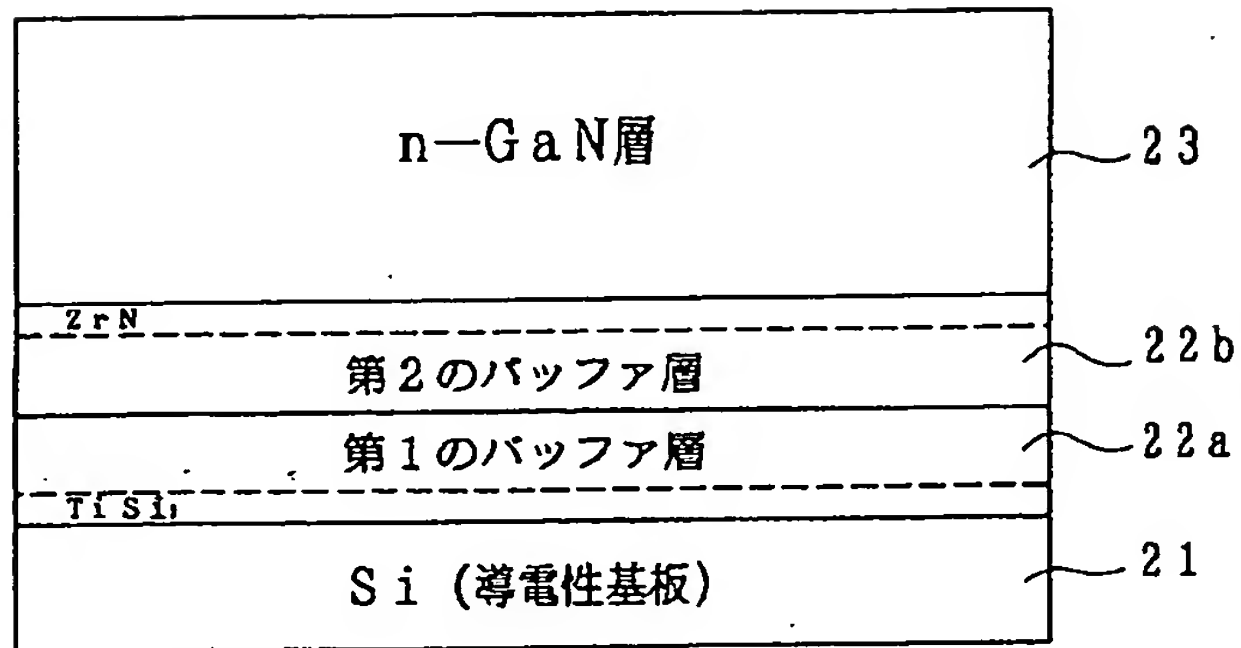
【図5】



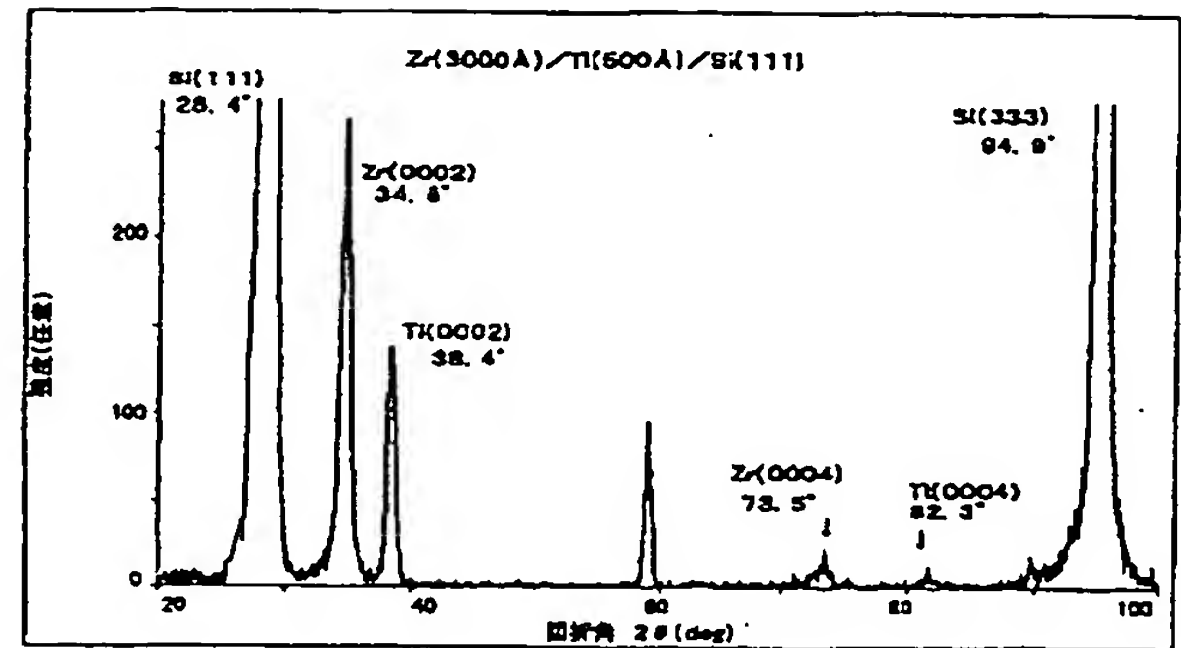
【図3】



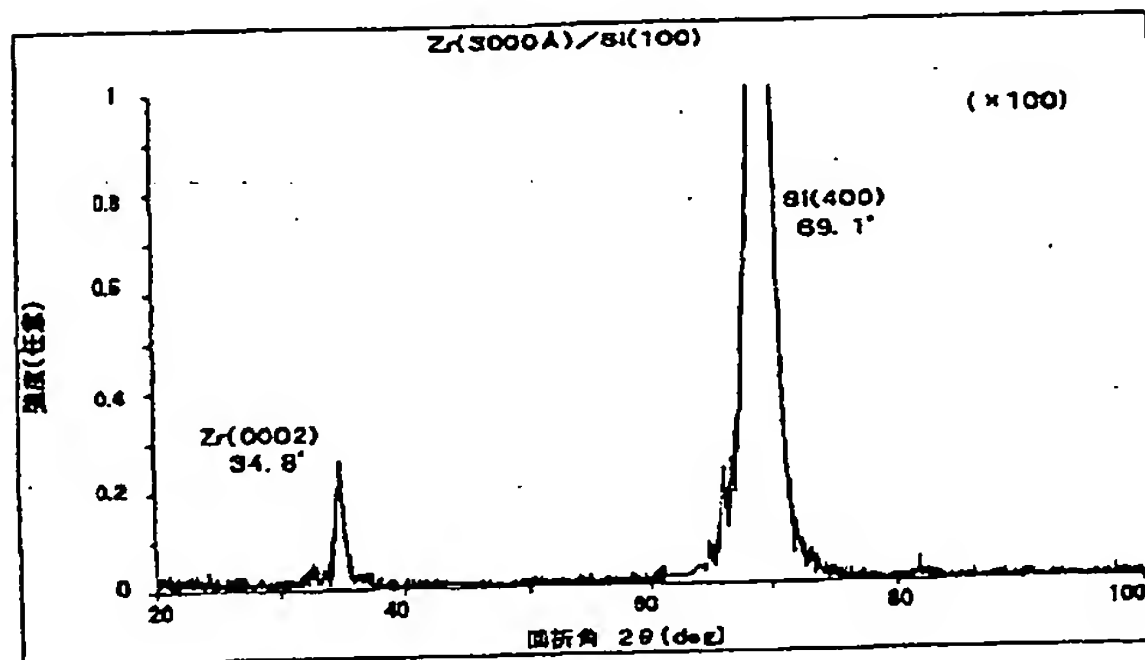
【図4】



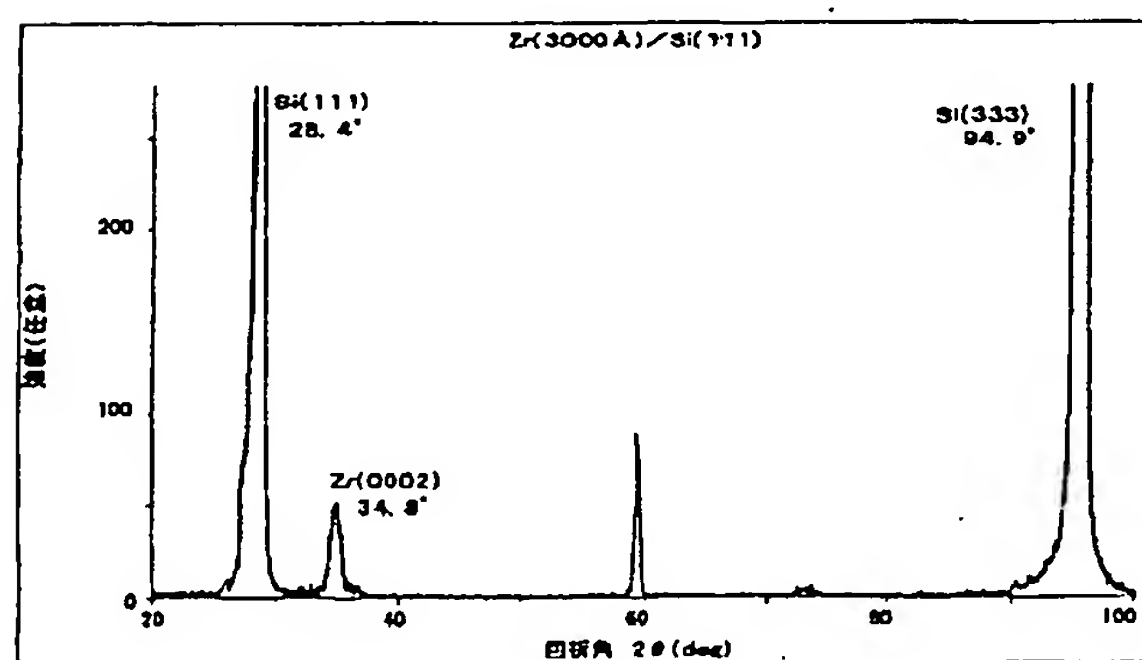
【図7】



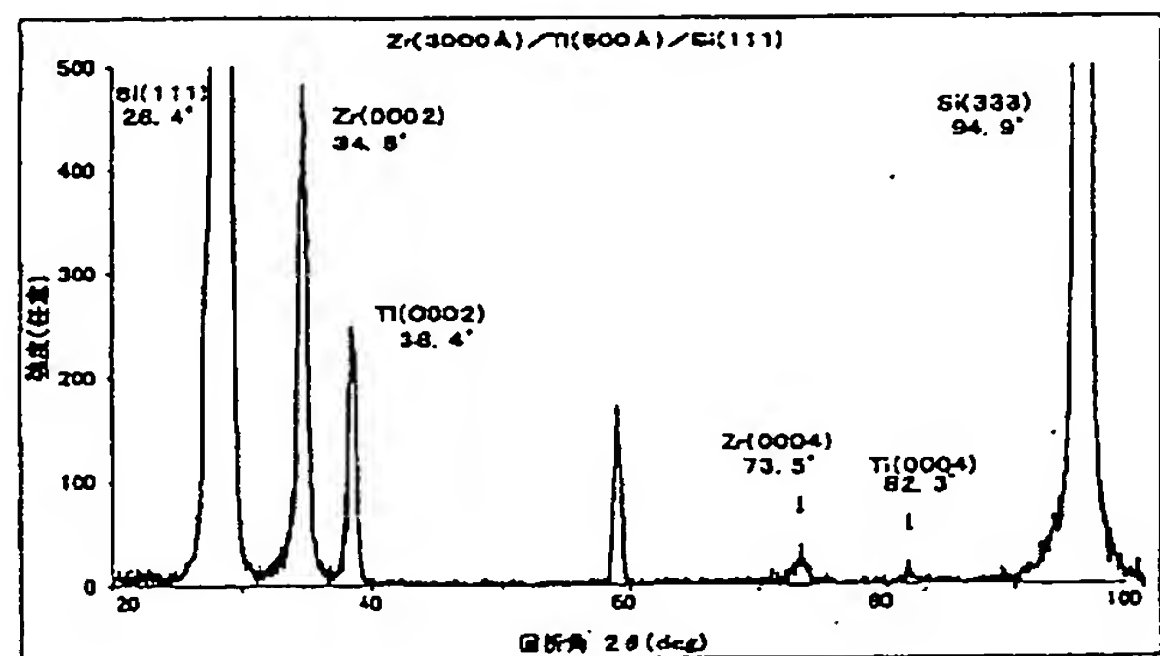
【図6】



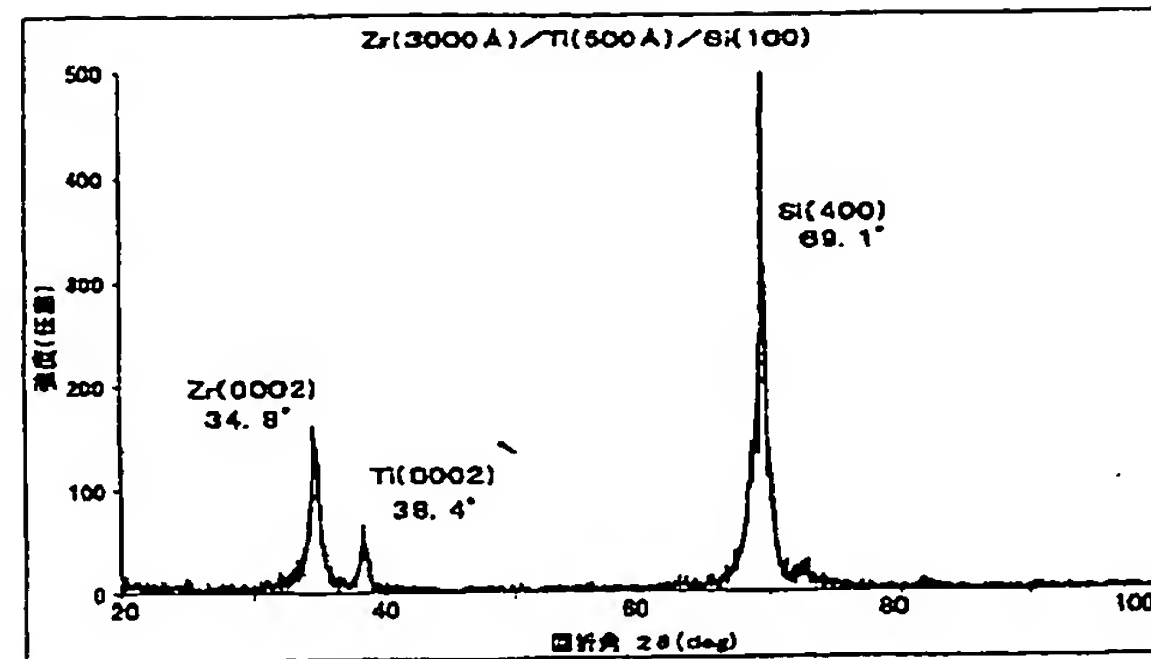
【図8】



【図9】



【図10】



フロントページの続き

(72)発明者 伊藤 潤  
愛知県西春日井郡春日町大字落合字長畑1  
番地 豊田合成株式会社内

(72)発明者 野村 静代  
愛知県西春日井郡春日町大字落合字長畑1  
番地 豊田合成株式会社内